

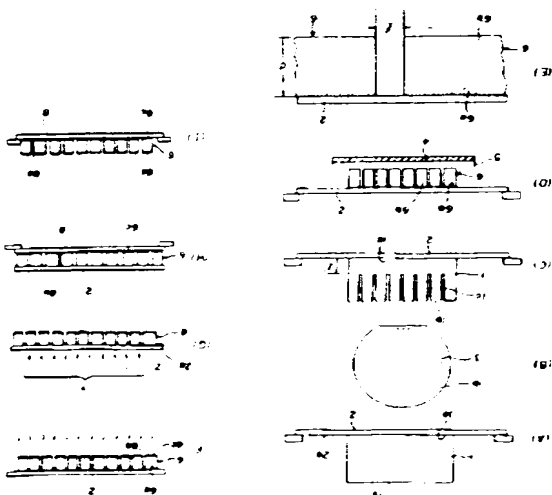
PUBLICATION NUMBER : 63164336
PUBLICATION DATE : 07-07-88
APPLICATION DATE : 26-12-86
APPLICATION NUMBER : 61308703

APPLICANT : OKI ELECTRIC IND CO LTD;

INVENTOR : IKETANI MASAHISA;

INT. CL. : H01L 21/78 B28D 5/00 H01L 21/306

TITLE : MANUFACTURE OF SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To eliminate the dispersion of device characteristics, the breaking of a wafer, chipping and break by a method wherein numerous dicing grooves are cut from the rear of a semiconductor substrate and with the substrate etched in a prescribed depth from the rear, the substrate is split along the dicing grooves.

CONSTITUTION: A device pattern is formed on a GaAs wafer 1 and thereafter, an adhesive face 2a of an electron tape 2 is laminated on a device pattern forming face 1a. Markings 3 are put on dicing lines in the rear 1b of the wafer 1 and dicing grooves 1c are numerously cut. A back etching is performed on the wafer 1 by a prescribed depth to split into numerous dies 6 along the grooves 1c. Backing metal 6c is formed on the rear of the die 6 on the side opposite to a device pattern part 6a. The electron tape 2 is irradiated with a UV light 7 to weaken the adhesive force, an adhesive face 8a of a new electron tape 8 is bonded on the backing metal 6c and the electron tape 2 is peeled off from the dies 6.

COPYRIGHT: (C)1988,JPO&Japio



PATENT ABSTRACTS OF JAPAN

(11) Publication number : 63-164336
(43) Date of publication of application : 07.07.1988

(51) Int. Cl.

H01L 21/78
B28D 5/00
H01L 21/306

(21) Application number : 61-308703 (71) Applicant : OKI ELECTRIC IND CO LTD
(22) Date of filing : 26.12.1986 (72) Inventor : IKETANI MASAHISA

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: To eliminate the dispersion of device characteristics, the breaking of a wafer, chipping and break by a method wherein numerous dicing grooves are cut from the rear of a semiconductor substrate and with the substrate etched in a prescribed depth from the rear, the substrate is split along the dicing grooves.

CONSTITUTION: A device pattern is formed on a GaAs wafer 1 and

thereafter, an adhesive face 2a of an electron tape 2 is laminated on a device pattern forming face 1a. Markings 3 are put on dicing lines in the rear 1b of the wafer 1 and dicing grooves 1c are numerous cut. A back

etching is performed on the wafer 1 by a prescribed depth to split into numerous dies 6 along the grooves 1c. Backing metal 6c is formed on the rear of the die 6 on the side opposite to a device pattern part 6a.

The electron tape 2 is irradiated with a UV light 7 to weaken the adhesive force, an adhesive face 8a of a new electron tape 8 is bonded

on the backing metal 6c and the electron tape 2 is peeled off from the dies 6.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the

examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

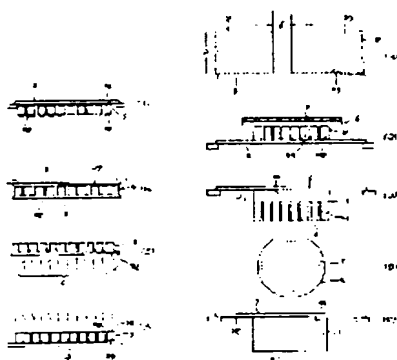
rejection]

[Date of requesting appeal against examiner's decision

of rejection]

[Date of extinction of right]

Copyright (C): 1998,2000 Japan Patent Office





明 細 書

1. 発明の名称

半導体素子の製造方法

2. 特許請求の範囲

半導体基板上にアライメントを形成した後、
アライメントして半導体素子を形成する半導体素子の
製造方法において、

上記アライメントに照し、上記半導体基面のア
ライメントを形成面と反対側の基面からアライ
メントを行う。これは第4図の(A)に示されてい
るようにアライメント型のマイクロプロセッサ
の面にGAA アライメントのアライメントを
成面101aをマイクロプロセッサに貼付ける。こ
のようにしてマイクロプロセッサを用い、直径30
μm、厚さ600nmのGAA アライメントの基面
(マイクロプロセッサ形成面101aと反対面)を定
義103上の0.3μmのアライメント104でラ
ミネーションしてGAA アライメントの厚さが400nm
になる迄研磨する。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、半導体アライメントとして例えば酸化
シリコン半導体アライメント(以下、GAA アライメント

9)を用い、このGAA アライメントにアライメント
を形成後、アライメントする半導体素子の製造方法
に関するものである。

(従来の技術)

第3図は従来のアライメント形成後の半導
体素子の製造工程のフローを示し、第4図は同じ
アライメント形成終了後マイクロプロセッサに
アライメントを行う。これは第4図の(A)に示されてい
るようにアライメント型のマイクロプロセッサ
の面にGAA アライメントのアライメントを
成面101aをマイクロプロセッサに貼付ける。こ
のようにしてマイクロプロセッサを用い、直径30
μm、厚さ600nmのGAA アライメントの基面
(マイクロプロセッサ形成面101aと反対面)を定
義103上の0.3μmのアライメント104でラ
ミネーションしてGAA アライメントの厚さが400nm
になる迄研磨する。

次に、マイクロプロセッサに貼り付けられた
アライメントを研磨する。上記のようにして厚さ400nmにした

⑤発明の名称	半導体素子の製造方法
⑥発明者	池 谷 昌 久
⑦出 願 人	沖電気工業株式会社
⑧代 理 人	弁理士 菊 池 弘
⑨発明の名称	半導体素子の製造方法
⑩特 願	昭61-308703
⑪出 願	昭61(1986)12月26日
⑫発明の名称	半導体素子の製造方法
⑬特 願	昭61-308703
⑭出 願	昭61(1986)12月26日
⑮発明の名称	半導体素子の製造方法
⑯特 願	昭61-308703
⑰出 願	昭61(1986)12月26日
⑱発明の名称	半導体素子の製造方法
⑲特 願	昭61-308703
⑳出 願	昭61(1986)12月26日
㉑発明の名称	半導体素子の製造方法
㉒特 願	昭61-308703
㉓出 願	昭61(1986)12月26日
㉔発明の名称	半導体素子の製造方法
㉕特 願	昭61-308703
㉖出 願	昭61(1986)12月26日
㉗発明の名称	半導体素子の製造方法
㉘特 願	昭61-308703
㉙出 願	昭61(1986)12月26日
㉚発明の名称	半導体素子の製造方法
㉛特 願	昭61-308703
㉜出 願	昭61(1986)12月26日
㉝発明の名称	半導体素子の製造方法
㉞特 願	昭61-308703
㉟出 願	昭61(1986)12月26日
㊱発明の名称	半導体素子の製造方法
㊲特 願	昭61-308703
㊳出 願	昭61(1986)12月26日
㊴発明の名称	半導体素子の製造方法
㊵特 願	昭61-308703
㊶出 願	昭61(1986)12月26日
㊷発明の名称	半導体素子の製造方法
㊸特 願	昭61-308703
㊹出 願	昭61(1986)12月26日
㊺発明の名称	半導体素子の製造方法
㊻特 願	昭61-308703
㊼出 願	昭61(1986)12月26日
㊽発明の名称	半導体素子の製造方法
㊾特 願	昭61-308703
㊿出 願	昭61(1986)12月26日

⑤ 公開特許公報 (A) 昭63-164336

⑥ 日本国特許庁 (J.P.) 特許出願公開

⑦ 公開 昭和63年(1988)7月7日

⑧ Int.Cl.⁷ H 01 L 21/78 B 28 D 5/00 H 01 L 21/306
⑨ 庁内整理番号 A-7376-5F Z-6719-3C C-7342-5F
⑩ 審査請求 未請求 発明の数 1 (全5頁)

るに際し、第1の工程で半導体基盤の裏面から多
イミダゾールを形成した半導体基盤をタイミ化す
この発明に係る半導体素子の製造方法は、アパ
(問題点を解決するための手段)

とする。
れた半導体素子の製造方法を提供することを目的
除去し、技術的に安定したプロセスで歩留りの優
き、クエハ割れ、チップシビア及び欠けの問題点を
この発明は、以上述べたアパミ特性のはらつ
られなかつた。

欠けが生じるので、技術的に満足できるものは得
プロセスを行うためにその素子領域のチップシビア
アパミ形成面101aの素子領域からタイ
に傷が発生し易く、更に、タイプロセス工程時にア
101aが割れ易く、アパミ形成面101a
が生じたりし、又、その研磨時にGaAs、クエハ
えばFET等性のよりなアパミ特性にはらつき
101aの結晶構造及び組成上結晶歪が発生し、例
トプロセス100aでの上記にエリGaAs、クエハ
とGaAs、クエハ101aの裏面からの衝撃とアパミ

101aに形成されたタイプロセスにエリ例え
GaAs、クエハ101aのアパミ形成面

接着力が低下するものである。その貼合せ後、

101aを強固に保持し、UV光の照射によりその
ているもので、タイプロセス時にはGaAs、クエハ

粘着剤として紫外(UV)硬化型粘着剤を用い
のエレクトロニック106は、チップ基板上に
プロセス106の粘着面106aとを貼合せ。こ

のように行う。パッドメタル105とエレクトロ
タイプロセスは第4図の図に示されているように次

次に、エレクトロニックS103でタイプロセスを行う。この
次に、エレクトロニックS102でプロセスを行い、

とする。

順次に形成し、Ti/Au/Snのパッドメタル105

A、次に、Snを20,000Åの厚さで蒸着にエリ
の裏面101bにTiを1000Å、次に、Auを3000

後、第4図の図に示したようにGaAs、クエハ101
セト等のような有機溶剤で洗浄する。この洗浄

プロセスを除去するために例えばトリソルブ
GaAs、クエハ101aから研磨時に発生した塵埃と

以下、この発明の一実施例を図面に基づき説明
する。第1図及び第2図はこの発明の一実施例に
よる半導体素子の製造方法の工程を示す図である。
GaAs、クエハ1にアパミ形成面を形成した後、
エレクトロニックS1でタイプロセスの形成を行う。まず、
GaAs、クエハ1のタイミ形成面1aに
エレクトロニック2aを貼合せ

(実施例)

がなく、従ってその結晶歪を生じない。

るので余計な機械的力を半導体基盤に加えること
エレクトロニックにより半導体基盤の厚さを恒定してい
チや欠けを生じなく、又、機械的研磨を行わずに
しているのアパミ形成面101aの裏面から形成
プロセスをするに際しタイプロセスの裏面から形成
プロセスによる半導体素子の製造方法は、タイ

(作用)

する。

数のタイプロセスを形成し、次に、第2の工程で
エレクトロニック液により裏面から所定深さエレクトロ
すると共にタイプロセス面に沿って分割しタイミ化

600nm厚のGaAs、クエハ101aをパッドメタル
にエリ400nm厚になるように機械的に研磨する

しかし、以上述べたいずれの方法であっても

(発明が解決しようとする問題点)

り半導体素子の製造を終了する。

イミダゾール及びクエハミダゾール等を行い、以上にエ
みしたタイミのみにはプロセス工程であるチ
次に、エレクトロニックS105で外観選別により良品と

方向からその外観選別を行う。

エレクトロニック106からはがし、図示矢印の
エレクトロニック106にUV光を照射してタイミ107をエ

は、第4図の図に示したように、エレクトロニック
次に、エレクトロニックS104で外観選別を行う。これ

成る。

メタル105の部分のパッドメタル部107cとから
ハ101の部分のGaAs、基板部107bとパッドメ

の部分のアパミ形成面107aとGaAs、クエ
タイミ107は、アパミ形成面101a

チップに分割して多数のタイミ107を形成する。
はタイミセトプロセスでタイミプロセスを行い、1

以上、詳細に説明したようにこの発明によれば、
チバイスバスターン形成後、半導体ウエハの裏面か
ら多数のタイソソブドを形成し、この後、裏面
側から所定厚さエッチング液によりエッチングす
ると共にタイソソブドに付て分割するようにし
たので、ウエハ割れや傷を生じることなく、又、

(発明の効果)

限定されるものでないことは言うまでもない。
説明したが、この発明はその具体的数値によつて

なお、上記実施例において具体的数値を挙げて
ソセソブド工程を行う。

次に、エッチングS4からエッチングS5に移り、
フローティングを行い、次にエッチングS6で外観通
別し、次にエッチングS7でタイソ6の内て良品の
みをタイソ6ソブドやソブド等のようになす

ノ8に転写する(第1図のD)。
らたがせば、多数のタイソ6はエレクトロソブド
(H)。次に、エレクトロソブド2をタイソ6か
ロソブド8の粘着面8aを接着する(第1図の

図)。次に、バツグメタル6cに新たなエレクト
ロソブド8の粘着面8aを接着する(第1図の

第1cに付て多数のタイソ6に分割する(第1
GAs、ウエハ1をバツグメタル6cに付て

4に接合し、裏面1bから200 μ mの深さだけ
1bを下側にし、裏面1b側からエッチング液

入れ、第1図のDに示したGAs、ウエハ1の裏面
乳酸水(H₂SO₄)のエッチング液4を容器5内に

溶：水を3：1の混合比で混ぜて作った過水
バツグメタル6cを形成し、過酸化水

次に、エッチングS1からエッチングS2に移り、
距離dは20 μ mある。

チバイスバスターン形成面1aから第1cの圧差の
ウエハ1は、30 μ m、厚さ600 μ mの寸法なので

ソブド1cを多数形成する(第1図のD)。GAs
示)に付て、幅25 μ m、長さ400 μ mのタイソ

裏面1bよりGAs、ウエハ1をタイソ1f(不図
1図のD)。次に、このタイソ1fを利用して

タイソ1fを上にタイソ1fを3つつける(第
チバイスバスターン形成面1aの反対側の面)にチバイスバ

を用いてGAs、ウエハ1の裏面1b(チバイスバ
第1図のD)。次に、裏面1fをタイソ1f(不図示)

特許出願人 池田 弘
代理人 井澤 正
池田 弘
池田 弘



池田 弘

チソブド。

面、1b...裏面、1c...タイソブド、4...エッ

1...半導体基板、1a...チバイスバスターン形成
面図である。

従来の工程のフロー図、第4図は第3図に従う工

2図は第1図に示した工程のフロー図、第3図は

第1図はこの発明の一実施例による工程図、第

4. 図面の簡単な説明

が期待できる。

チバイスバスターン形成面のチソブドや欠けを生
じることなく、更に、結晶面を生じないのでチバ
イス特性を安定化させ、チバイスの歩留りの向上

2aの状態を改良し、接着力を高める(第1図の

タイソ6aと反対側のタイソ6aとは反対側からエ

次に、エッチングS3からエッチングS4に移り、

形成される(第1図のD)。

のT1と3000Å厚のAuと20,000ÅのSnとから
面とする。このバツグメタル6cは、1000Å厚

によりバツグメタル6cを形成し、タイソ6の裏
チソ部6aとは反対側のタイソ6の裏面に接着

2に移動したタイソ6を下側にし、チバイスバ
バツグメタルの形成を行う。エレクトロソブド

次に、エッチングS2からエッチングS3に移り、
導体電子バスターンの機能を実現。

である。なお、上記チバイスバスターン部6aは半
これらの間の幅dは25 μ mで、厚さdは400 μ m

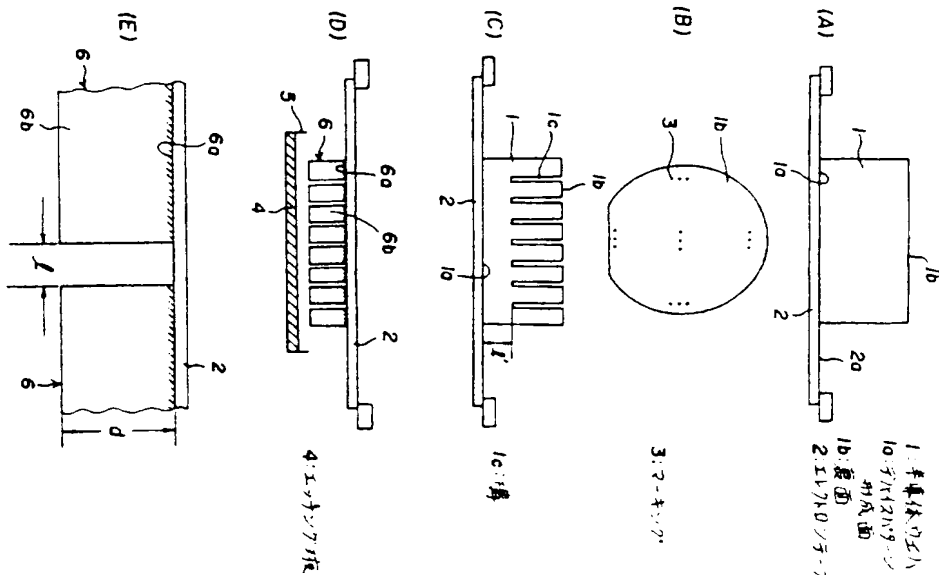
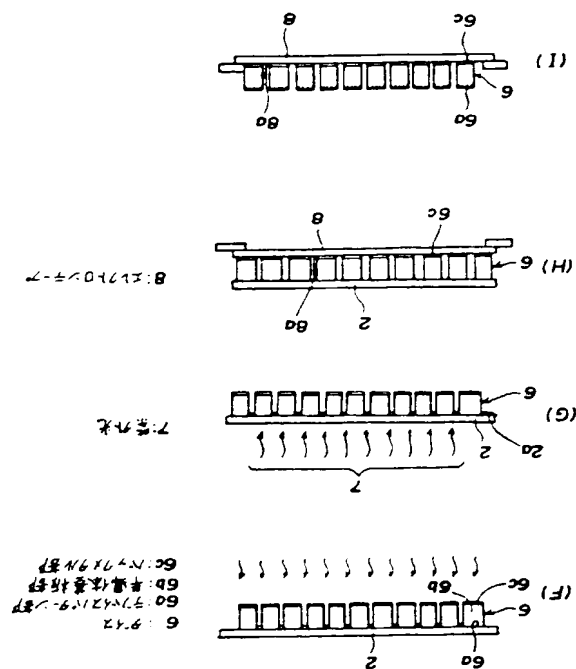
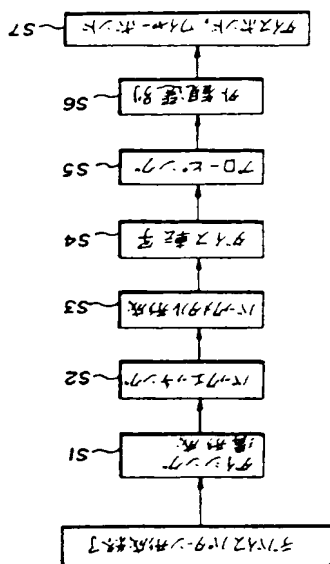
はエレクトロソブド2に接合されたまゝで、そ
るチバイスバスターン部6aとからなる。タイソ6

部6bとチバイスバスターン形成面1aの部分であ
ように、GAs、ウエハ1の部分であるGAs、第

図のD)。このタイソ6は第1図のDに示した

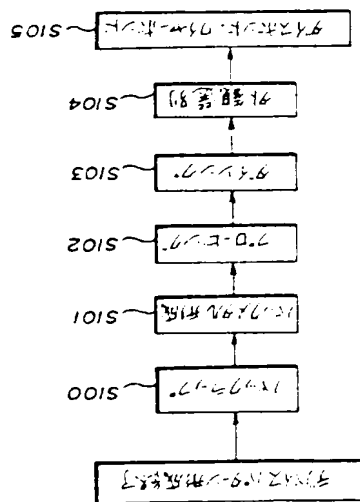
特開昭63-164336(3)

第 2 章
第 1 章の工務 70-図



—実施例による工程図
第 1 図

第 3 図
形成工程の工程図



第 4 図
形成工程の工程図

